

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Gi-ho Park

Application Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: **METHODS, CIRCUITS, AND SYSTEMS FOR UTILIZING IDLE TIME IN
DYNAMIC FREQUENCY SCALING CACHE MEMORIES**

March 16, 2004

MS PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2003-0047719 filed July 14, 2003.

Respectfully submitted,


Robert N. Crouse
Registration No. 44,635

Myers Bigel Sibley & Sajovec

PO Box 37428

Raleigh NC 27627

Tel (919) 854-1400

Fax (919) 854-1401

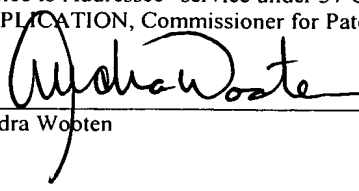
Customer No.: 20792

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 381443203 US

Date of Deposit: March 16, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.


Audra Wooten



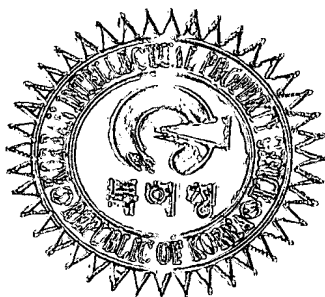
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0047719
Application Number

출원 년 월 일 : 2003년 07월 14일
Date of Application JUL 14, 2003

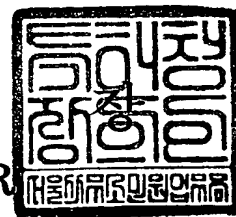
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 17 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2003.07.14
【국제특허분류】	H01L
【발명의 명칭】	다이나믹 주파수 스케일링에 따라 동작 모드의 제어가 가능한 반도체 시스템 및 동작 모드 제어 방법
【발명의 영문명칭】	Semiconductor system capable of controlling the operation mode according to Dynamic Frequency Scaling and method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	박기호
【성명의 영문표기】	PARK, Gi Ho
【주민등록번호】	690811-1024117
【우편번호】	142-809
【주소】	서울특별시 강북구 미아9동 132-65
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	34	면	34,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	63,000	원		
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

다이나믹 주파수 스케일링(Dynamic Frequency Scaling)에 따라 동작 모드의 제어가 가능한 반도체 시스템 및 동작 모드 제어 방법이 개시된다. 본 발명의 실시예에 따른 반도체 시스템은 제 1 동작 모드 및 제 2 동작 모드를 구비하고 동작 제어 신호가 제 1 논리 레벨인 경우 상기 제 1 동작 모드로 동작되고, 상기 동작 제어 신호가 제 2 논리 레벨인 경우 상기 제 2 동작 모드로 동작되는 것을 특징으로 한다. 상기 제 1 동작 모드는 고성능 모드이다. 상기 제 2 동작 모드는 저 전력 모드이다. 상기 동작 제어 신호는 현재의 동작 주파수가 임계 주파수보다 크면 제 1 논리 레벨로 발생되고, 상기 현재의 동작 주파수가 상기 임계 주파수보다 작거나 같으면 제 2 논리 레벨로 발생된다. 본 발명에 따른 반도체 시스템 및 반도체 시스템의 동작 모드 제어 방법은 다이나믹 주파수 스케일링이 수행되는 경우 전력 소모를 감소시키는 동작 모드로 동작되고 다이나믹 주파수 스케일링이 수행되지 아니하는 경우에는 정상 동작 모드로 동작됨으로써 동작 주파수가 작아지는 경우 소비 전력을 감소시킬 수 있는 장점이 있다.

【대표도】

도 1

【명세서】

【발명의 명칭】

다이나믹 주파수 스케일링에 따라 동작 모드의 제어가 가능한 반도체 시스템 및 동작 모드 제어 방법{Semiconductor system capable of controlling the operation mode according to Dynamic Frequency Scaling and method thereof}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 본 발명의 제 1 실시예에 따른 반도체 시스템을 설명하는 블록도이다.

도 2는 도 1의 반도체 시스템의 동작을 설명하는 타이밍도이다.

도 3은 본 발명의 제 2 실시예에 따른 반도체 시스템을 설명하는 블록도이다.

도 4는 도 3의 캐쉬 메모리 인에이블 회로의 구조를 설명하는 회로도이다.

도 5는 도 3의 반도체 시스템의 동작을 설명하는 타이밍도이다.

도 6은 본 발명의 제 3 실시예에 따른 반도체 시스템을 설명하는 블록도이다.

도 7은 본 발명의 제 1 실시예에 따른 반도체 시스템의 동작 모드 제어 방법을 설명하는 플로우 차트이다.

도 8은 본 발명의 제 2 실시예에 따른 반도체 시스템의 동작 모드 제어 방법을 설명하는 플로우 차트이다.

도 9는 본 발명의 제 3 실시예에 따른 반도체 시스템의 동작 모드 제어 방법을 설명하는 플로우 차트이다.

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 그러나, 지금까지 진행되고 있는 다이나믹 주파수 스케일링 또는 다이나믹 전압 스케일링에 관한 연구는 주로 언제, 어느 정도의 다이나믹 주파수 스케일링 또는 다이나믹 전압 스케

일링을 수행할 것인지에 관한 것과 다이내믹 주파수 스케일링 또는 다이내믹 전압 스케일링을 수행하기 위한 회로에 관한 것에 대하여 중점적으로 이루어지고 있는 추세이다.

【발명이 이루고자 하는 기술적 과제】

<16> 본 발명이 이루고자하는 기술적 과제는 다이내믹 주파수 스케일링이 수행되는 경우 전력 소모를 감소시키는 동작 모드로 동작되고 다이내믹 주파수 스케일링이 수행되지 아니하는 경우에는 정상 동작 모드 동작되는 반도체 시스템을 제공하는데 있다.

<17> 본 발명이 이루고자하는 다른 기술적 과제는 다이내믹 주파수 스케일링이 수행되는 경우 전력 소모를 감소시키는 동작 모드로 동작되고 다이내믹 주파수 스케일링이 수행되지 아니하는 경우에는 정상 동작 모드로 동작되는 반도체 시스템의 동작 모드 제어 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<18> 상기 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 반도체 시스템은 제 1 동작 모드 및 제 2 동작 모드를 구비하고 동작 제어 신호가 제 1 논리 레벨인 경우 상기 제 1 동작 모드로 동작되고, 상기 동작 제어 신호가 제 2 논리 레벨인 경우 제 상기 제 2 동작 모드로 동작된다.

<19> 상기 제 1 동작 모드는 고성능 모드이다. 상기 제 2 동작 모드는 저 전력 모드이다.

<20> 상기 동작 제어 신호는 현재의 동작 주파수가 임계 주파수보다 높으면 제 1 논리 레벨로 발생되고, 상기 현재의 동작 주파수가 상기 임계 주파수보다 낮거나 같으면 제 2 논리 레벨로 발생된다.

- <21> 상기 반도체 시스템은 상기 제 2 동작 모드에서 특정한 동작이 수행되는 데 소비되는 사이클(cycle) 수와 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 기능을 수행하는 동작이 수행되는 데 소비되는 사이클 수가 동일하다.
- <22> 상기 반도체 시스템은 데이터를 저장하는 캐쉬 메모리 및 상기 캐쉬 메모리에 저장된 데이터 중 일부 데이터를 저장하는 라인 버퍼를 구비한다.
- <23> 상기 동작 제어 신호가 제 1 논리 레벨이면 어드레스 신호에 응답하여 상기 캐쉬 메모리만 접근되는 상기 제 1 동작 모드가 수행되고, 상기 동작 제어 신호가 제 2 논리 레벨이면 상기 어드레스 신호에 응답하여 상기 라인 버퍼와 상기 캐쉬 메모리가 순차적으로 접근되는 상기 제 2 동작 모드가 수행되며, 상기 제 1 동작 모드의 동작과 상기 제 2 동작 모드의 동작이 수행되는 데 소비되는 사이클 수가 동일하다.
- <24> 상기 반도체 시스템은 캐쉬 메모리 인에이블 회로 및 라인 버퍼 인에이블 회로를 구비한다.
- <25> 캐쉬 메모리 인에이블 회로는 상기 동작 제어 신호가 제 1 논리 레벨이면 상기 캐쉬 메모리를 계속 인에이블 시키고 상기 동작 제어 신호가 제 2 논리 레벨이면 소정의 라인 버퍼 출력 신호를 수신하는 경우에만 상기 캐쉬 메모리를 인에이블 시키는 캐쉬 메모리 인에이블 신호를 발생한다.
- <26> 라인 버퍼 인에이블 회로는 상기 동작 제어 신호가 제 1 논리 레벨이면 상기 라인 버퍼를 계속 디스에이블 시키고 상기 동작 제어 신호가 제 2 논리 레벨이면 상기 라인 버퍼를 계속 인에이블 시키는 라인 버퍼 인에이블 신호를 발생한다.

- <27> 상기 라인 버퍼 출력 신호는 상기 동작 제어 신호가 제 2 논리 레벨이고 상기 어드레스 신호에 대응되는 데이터가 상기 라인 버퍼에 존재하지 않는 경우에 상기 라인 버퍼로부터 출력되는 신호이다.
- <28> 상기 반도체 시스템은 상기 제 2 동작 모드에서의 동작 주파수가 상기 제 1 동작 모드에서의 동작 주파수의 $1/n$ 배라면, 상기 제 2 동작 모드에서 특정한 동작이 수행되는 데 소비되는 사이클(cycle) 수는 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수보다 작고 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수의 $1/n$ 배보다 크다.
- <29> 상기 반도체 시스템은 데이터를 저장하는 캐쉬 메모리 및 상기 캐쉬 메모리에 저장된 데이터 중 일부 데이터를 저장하는 필터 캐쉬 메모리를 구비한다.
- <30> 상기 동작 제어 신호가 제 1 논리 레벨이면 어드레스 신호에 응답하여 상기 필터 캐쉬 메모리와 상기 캐쉬 메모리가 순차적으로 접근되는 상기 제 1 동작 모드가 수행되고, 상기 동작 제어 신호가 제 2 논리 레벨이면 상기 어드레스 신호에 응답하여 상기 필터 캐쉬 메모리와 상기 캐쉬 메모리가 순차적으로 접근되는 상기 제 2 동작 모드가 수행되며, 상기 제 2 동작 모드의 동작이 수행되는데 소비되는 사이클 수는 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수보다 작고 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수의 $1/n$ 배보다 크다.
- <31> 상기 반도체 시스템은 상기 동작 제어 신호가 제 1 논리 레벨이면 소정의 필터 캐쉬 출력 신호를 수신하고 클럭에 동기 되어 상기 캐쉬 메모리를 인에이블 시키는 캐쉬 메모리 인에이블 신호를 발생하고, 상기 동작 제어 신호가 제 2 논리 레벨이면 상기 필터 캐쉬 출력 신호

에 응답하여 상기 캐쉬 메모리 인에이블 신호를 발생하는 캐쉬 메모리 인에이블 회로를 더 구비한다.

<32> 상기 필터 캐쉬 출력 신호는 상기 어드레스 신호에 대응되는 데이터가 상기 필터 캐쉬 메모리에 존재하지 않는 경우에 상기 필터 캐쉬 메모리로부터 출력되는 신호인 것을 특징으로 한다.

<33> 상기 캐쉬 메모리 인에이블 회로는 저장부 및 선택부를 구비한다. 저장부는 상기 필터 캐쉬 출력 신호를 수신하고 상기 클럭에 응답하여 출력한다.

<34> 선택부는 상기 동작 제어 신호가 제 1 논리 레벨이면 상기 저장부의 출력을 상기 캐쉬 메모리 인에이블 신호로서 출력하고, 상기 동작 제어 신호가 제 2 논리 레벨이면 상기 필터 캐쉬 출력 신호를 상기 캐쉬 메모리 인에이블 신호로서 출력한다.

<35> 상기 기술적 과제를 달성하기 위한 본 발명의 실시예의 다른 일면에 따른 반도체 시스템은 동작 모드 선택부, 주파수 발생부, 동작 모드 제어부 및 동작 실행부를 구비한다.

<36> 동작 모드 선택부는 동작 모드 선택 신호에 응답하여 제 1 동작 모드가 선택되면 동작 모드 신호를 제 1 레벨로 발생하고 제 2 동작 모드가 선택되면 상기 동작 모드 신호를 제 2 레벨로 출력한다.

<37> 주파수 발생부는 상기 동작 모드 신호에 응답하여 동작 주파수를 증가시키거나 감소시킨다. 동작 모드 제어부는 상기 주파수 발생부에서 발생하는 상기 동작 주파수가 임계 주파수보다 높으면 동작 제어 신호를 제 1 레벨로 발생하고, 상기 동작 주파수가 상기 임계 주파수보다 낮거나 같으면 상기 동작 제어 신호를 제 2 레벨로 발생한다.

- <38> 동작 실행부는 상기 동작 제어 신호가 제 1 레벨이면 상기 제 1 동작 모드로 동작되고
상기 동작 제어 신호가 제 2 레벨이면 상기 제 2 동작 모드로 동작된다.
- <39> 상기 기술적 과제를 달성하기 위한 본 발명의 실시예의 또 다른 일면에 따른 반도체 시스템은 캐쉬 메모리 및 라인 버퍼를 구비한다.
- <40> 캐쉬 메모리는 데이터를 저장한다. 라인 버퍼는 상기 캐쉬 메모리에 저장된 데이터 중 일부 데이터를 저장한다.
- <41> 상기 반도체 시스템은 동작 제어 신호가 제 1 논리 레벨이면 어드레스 신호에 응답하여
상기 캐쉬 메모리만 접근되는 제 1 동작 모드가 수행되고, 상기 동작 제어 신호가 제 2 논리 레벨이면 상기 어드레스 신호에 응답하여 상기 라인 버퍼와 상기 캐쉬 메모리가 순차적으로 접근되는 제 2 동작 모드가 수행된다.
- <42> 상기 반도체 시스템은 상기 제 1 동작 모드의 동작과 상기 제 2 동작 모드의 동작이 수행되는데 소비되는 사이클 수가 동일하다.
- <43> 상기 기술적 과제를 달성하기 위한 본 발명의 실시예의 또 다른 일면에 따른 반도체 시스템은 캐쉬 메모리 및 필터 캐쉬 메모리를 구비한다.
- <44> 캐쉬 메모리는 데이터를 저장한다. 필터 캐쉬 메모리는 상기 캐쉬 메모리에 저장된 데이터 중 일부 데이터를 저장한다.
- <45> 상기 반도체 시스템은 동작 제어 신호가 제 1 논리 레벨이면 어드레스 신호에 응답하여
상기 필터 캐쉬 메모리와 상기 캐쉬 메모리가 순차적으로 접근되는 상기 제 1 동작 모드가 수행되고, 상기 동작 제어 신호가 제 2 논리 레벨이면 상기 어드레스 신호에 응답하여 상기 필터 캐쉬 메모리와 상기 캐쉬 메모리가 순차적으로 접근되는 상기 제 2 동작 모드가 수행된다.

- <46> 상기 반도체 시스템은 상기 제 2 동작 모드의 동작이 수행되는데 소비되는 사이클 수는 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수보다 작고 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수의 $1/n$ 배보다 크다.
- <47> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 반도체 시스템의 동작 모드 제어 방법은, 제 1 동작 모드 및 제 2 동작 모드를 구비하는 반도체 시스템의 동작 모드 제어 방법에 있어서, 상기 반도체 시스템의 동작 주파수가 임계 주파수보다 큰 지 작은지를 판단하는 단계, 상기 동작 주파수가 상기 임계 주파수보다 높으면 상기 반도체 시스템을 상기 제 1 동작 모드로 동작시키는 단계 및 상기 동작 주파수가 상기 임계 주파수보다 낮거나 같으면 상기 반도체 시스템을 상기 제 2 동작 모드로 동작시키는 단계를 구비한다.
- <48> 상기 제 1 동작 모드는 고성능 모드이고, 상기 제 2 동작 모드는 저 전력 모드이다.
- <49> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 실시예의 다른 일면에 따른 반도체 시스템의 동작 모드 제어 방법은, 데이터를 저장하는 캐쉬 메모리 및 상기 캐쉬 메모리에 저장된 데이터 중 일부 데이터를 저장하는 라인 버퍼를 구비하는 반도체 시스템의 동작 모드 제어 방법에 있어서, 상기 반도체 시스템의 동작 주파수가 임계 주파수보다 큰 지 작은지를 판단하는 단계, 상기 동작 주파수가 상기 임계 주파수보다 높으면 상기 반도체 시스템이 제 1 동작 모드로 동작되도록 어드레스 신호에 응답하여 상기 캐쉬 메모리에 접근하는 단계 및 상기 동작 주파수가 상기 임계 주파수보다 낮거나 같으면 상기 반도체 시스템이 제 2 동작 모드로 동작되도록 상기 어드레스 신호에 응답하여 상기 라인 버퍼와 상기 캐쉬 메모리를 순차적으로 접근하는 단계를 구비한다.

- <50> 반도체 시스템의 동작 모드 제어 방법은 상기 제 1 동작 모드의 동작과 상기 제 2 동작 모드의 동작이 수행되는데 소비되는 사이클 수가 동일하다.
- <51> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 실시예의 또 다른 일면에 따른 반도체 시스템의 동작 모드 제어 방법은, 데이터를 저장하는 캐쉬 메모리 및 상기 캐쉬 메모리에 저장된 데이터 중 일부 데이터를 저장하는 필터 캐쉬 메모리를 구비하는 반도체 시스템의 동작 모드 제어 방법에 있어서, 상기 반도체 시스템의 동작 주파수가 임계 주파수보다 큰 지 작은지를 판단하는 단계, 상기 동작 주파수가 상기 임계 주파수보다 높으면 상기 반도체 시스템이 제 1 동작 모드로 동작되도록 어드레스 신호에 응답하여 상기 필터 캐쉬 메모리와 상기 캐쉬 메모리에 순차적으로 접근하는 단계 및 상기 동작 주파수가 상기 임계 주파수보다 낮거나 같으면 상기 반도체 시스템이 제 2 동작 모드로 동작되도록 상기 어드레스 신호에 응답하여 상기 필터 캐쉬 메모리와 상기 캐쉬 메모리에 순차적으로 접근하는 단계를 구비한다.
- <52> 상기 제 2 동작 모드에서의 상기 반도체 시스템의 동작 주파수가 상기 제 1 동작 모드에서의 상기 반도체 시스템의 동작 주파수의 $1/n$ 이라면, 상기 제 2 동작 모드의 동작이 수행되는데 소비되는 사이클 수는 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수보다 작고 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수의 $1/n$ 배보다 크다.
- <53> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <54> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

- <55> 도 1은 본 발명의 제 1 실시예에 따른 반도체 시스템을 설명하는 블록도이다.
- <56> 다이나믹 주파수 스케일링(Dynamic Frequency Scaling)이 수행되어 동작 주파수가 낮아지면 반도체 시스템은 하나의 클럭 주기 동안에 보다 많은 동작을 수행할 수 있는 여지를 갖는다. 다이나믹 주파수 스케일링에 의해 주파수가 낮아지면 반도체 시스템이 동기 되는 클럭의 주기는 증가된다.
- <57> 본원 발명은 증가된 주기를 이용하여 전력 소모를 감소시킬 수 있는 동작을 수행하고, 다이나믹 주파수 스케일링이 수행되지 않는 경우에는 정상적인 동작을 수행하는 반도체 시스템 구조에 관한 것이다.
- <58> 본 발명의 제 1 실시예에 따른 반도체 시스템은 제 1 동작 모드 및 제 2 동작 모드를 구비하고 동작 제어 신호가 제 1 논리 레벨인 경우 상기 제 1 동작 모드로 동작되고, 상기 동작 제어 신호가 제 2 논리 레벨인 경우 제 상기 제 2 동작 모드로 동작된다.
- <59> 현재의 동작 주파수가 임계 주파수보다 높으면 동작 제어 신호는 제 1 논리 레벨로 발생된다. 반대로 현재의 동작 주파수가 상기 임계 주파수보다 낮거나 같으면 동작 제어 신호는 제 2 논리 레벨로 발생된다.
- <60> 즉, 다이나믹 주파수 스케일링에 의해서 동작 주파수가 임계 주파수보다 낮아지면 반도체 시스템은 제 2 동작 모드로 동작된다. 여기서, 제 2 동작 모드는 저 전력 모드이다. 그리고, 제 1 동작 모드는 고성능 모드이다.
- <61> 다이나믹 주파수 스케일링에 의해서 동작 주파수가 임계 주파수 보다 낮아지면 반도체 시스템의 주기가 늘어난다. 따라서 동작 주파수가 작을 경우에는 동작 주파수가 클 경우와 비교해서 반도체 시스템이 동일한 동작을 수행한다면 여유 시간이 생긴다.

- <62> 본 발명의 제 1 실시예에 따른 반도체 시스템은 동작 주파수가 낮아짐에 따라 발생된 여유 시간을 이용하여 동일한 기능을 수행하면서도 전력을 적게 소비하는 동작을 수행할 수 있는 구조를 가진다.
- <63> 즉, 반도체 시스템은 동작 주파수가 임계 주파수보다 클 경우에는 정상적인 동작을 수행하고, 동작 주파수가 임계 주파수보다 작을 경우에는 주기가 늘어남으로 인하여 발생된 여유 시간을 이용하여 전력을 덜 소비하면서도 동일한 기능을 하는 동작을 수행한다.
- <64> 이때 본원 발명의 제 1 실시예에 따른 반도체 시스템은 동작 주파수가 임계 주파수보다 큰 경우(제 1 동작 모드의 경우)에 특정한 동작을 수행하는데 소비되는 클럭의 사이클 수와 동작 주파수가 임계 주파수보다 작을 경우(제 2 동작 모드의 경우)에 상기 특정한 동작과 동일한 기능을 수행하면서도 전력 소비를 줄일 수 있는 동작을 수행하는 데 소비되는 클럭의 사이클 수가 동일하다.
- <65> 도 1은 상술한 바와 같이 제 1 동작 모드에서 소비되는 클럭 사이클 수와 제 2 동작 모드에서 소비되는 클럭 사이클 수가 동일한 경우에 대한 실시예를 나타낸다.
- <66> 도 1을 참조하면, 반도체 시스템(100)은 데이터를 저장하는 캐쉬 메모리(110) 및 캐쉬 메모리(110)에 저장된 데이터 중 일부 데이터를 저장하는 라인 버퍼(120)를 구비한다.
- <67> 또한, 반도체 시스템(100)은 캐쉬 메모리 인에이블 회로(130) 및 라인 버퍼 인에이블 회로(140)를 구비한다.
- <68> 캐쉬 메모리 인에이블 회로(130)는 동작 제어 신호(DFS)가 제 1 논리 레벨이면 캐쉬 메모리(110)를 계속 인에이블 시키고 동작 제어 신호(DFS)가 제 2 논리 레벨이면 소정의 라인 버

퍼 출력 신호(LBOUT)를 수신하는 경우에만 캐쉬 메모리(110)를 인에이블 시키는 캐쉬 메모리 인에이블 신호(CCHENS)를 발생한다.

- <69> 라인 버퍼 인에이블 회로(140)는 동작 제어 신호(DFS)가 제 1 논리 레벨이면 라인 버퍼(120)를 계속 디스에이블 시키고 동작 제어 신호(DFS)가 제 2 논리 레벨이면 라인 버퍼(120)를 계속 인에이블 시키는 라인 버퍼 인에이블 신호(LBENS)를 발생한다.
- <70> 라인 버퍼 출력 신호(LBOUT)는 동작 제어 신호(DFS)가 제 2 논리 레벨이고 어드레스 신호(ADDs)에 대응되는 데이터가 라인 버퍼(120)에 존재하지 않는 경우에 라인 버퍼(120)로부터 출력되는 신호이다.
- <71> 도 1의 반도체 시스템(100)은 동작 제어 신호(DFS)가 제 1 논리 레벨이면 어드레스 신호(ADDs)에 응답하여 캐쉬 메모리(110)만 접근되는 제 1 동작 모드가 수행된다.
- <72> 반대로, 동작 제어 신호(DFS)가 제 2 논리 레벨이면 어드레스 신호(ADDs)에 응답하여 라인 버퍼(120)와 캐쉬 메모리(110)가 순차적으로 접근되는 제 2 동작 모드가 수행된다.
- <73> 반도체 시스템(100)은 제 1 동작 모드의 동작과 제 2 동작 모드의 동작을 수행하는 데 소비하는 클럭의 사이클 수가 동일하다.
- <74> 동작 제어 신호(DFS)가 제 1 논리 레벨이면 동작 주파수가 임계 주파수보다 큰 경우이다. 즉, 다이내믹 주파수 스케일링이 수행되지 아니하는 정상적인 동작이 수행되는 경우이다.
- <75> 이 경우에는 캐쉬 메모리 인에이블 신호(CCHENS)는 캐쉬 메모리(110)를 계속 인에이블 시키고 라인 버퍼 인에이블 신호(LBENS)는 라인 버퍼(120)를 계속 디스에이블 시킨다. 즉, 캐쉬 메모리(110)만이 동작된다.

- <76> 만일 어드레스 신호(ADDs)에 대응되는 데이터가 캐쉬 메모리에 저장되어 있다면 캐쉬 메모리(110)는 어드레스 신호(ADDs)에 대응되는 데이터를 중앙 처리부(CPU : Central Process Unit) 등으로 전송한다. 만일 어드레스 신호(ADDs)에 대응되는 데이터가 캐쉬 메모리에 저장되어 있지 아니하면 반도체 시스템(100)은 하위 메모리(미도시)로부터 어드레스 신호(ADD)에 대응되는 데이터를 인출하는 등의 일반적인 캐쉬 미스(miss) 처리 동작을 수행한다.
- <77> 만일 다이내믹 주파수 스케일링이 수행되어 동작 주파수가 낮아지고 주기가 늘어나더라도 종래의 반도체 시스템(미도시)은 캐쉬 메모리에서만 데이터를 찾는 동작을 수행하므로 늘어난 주기로 인하여 발생된 여유 시간 동안은 아무런 동작을 하지 아니한다.
- <78> 동작 제어 신호(DFS)가 제 2 논리 레벨이면 동작 주파수가 임계 주파수보다 낮거나 같은 경우이다. 즉, 다이내믹 주파수 스케일링이 수행되어 동작 주파수가 낮아지고 전력 소비가 적은 동작이 수행되는 경우이다.
- <79> 이 경우에는 원하는 데이터를 찾는 동작이 캐쉬 메모리(110)가 아니라 라인 버퍼(120)에서 먼저 수행된다. 라인 버퍼(120)는 캐쉬 메모리(110)보다 작은 사이즈를 가지기 때문에 데이터를 찾는 데 시간을 절약할 수 있고 소비되는 전력도 줄일 수 있다.
- <80> 만일 라인 버퍼(120)에 어드레스 신호(ADDs)에 대응되는 데이터가 존재하면 라인 버퍼(120)는 어드레스 신호(ADDs)에 대응되는 데이터를 중앙 처리부(CPU : Central Process Unit) 등으로 전송한다.
- <81> 만일 라인 버퍼(120)에 어드레스 신호(ADDs)에 대응되는 데이터가 존재하지 아니하면 다음 단계로서 원하는 데이터를 찾는 동작이 캐쉬 메모리에서 수행된다. 라인 버퍼(120)는 어드

레스 신호(ADDS)에 대응되는 데이터가 존재하지 아니하면 라인 버퍼 출력 신호(LBOUT)를 출력한다.

- <82> 캐쉬 메모리 인에이블 신호(CCHENS)는 제 2 논리 레벨의 동작 제어 신호(DFS)와 라인 버퍼 출력 신호(LBOUT)에 응답하여 캐쉬 메모리(110)를 인에이블 시키는 캐쉬 메모리 인에이블 신호(CCHENS)를 발생한다.
- <83> 그러면 캐쉬 메모리(110)가 인에이블 되고 캐쉬 메모리(110)에서 어드레스 신호(ADDS)에 대응되는 데이터를 찾는 동작이 수행된다.
- <84> 이와 같이, 반도체 시스템(100)은 다이نام릭 주파수 스케일링이 수행되어 동작 주파수가 낮아지는 경우, 캐쉬 메모리(110)가 아니라 사이즈가 작은 라인 버퍼(120)에 먼저 접근하여 어드레스 신호(ADDS)에 대응되는 데이터를 찾음으로써 전력 소비를 줄일 수 있다.
- <85> 만일 라인 버퍼(120)에서 원하는 데이터를 찾는다면 캐쉬 메모리(110)에서 데이터를 찾는 동작에 비하여 전력 소비를 크게 줄일 수 있을 것이다. 라인 버퍼(120)에서 원하는 데이터를 찾지 못한다면 캐쉬 메모리(110)를 검색한다.
- <86> 본 발명의 반도체 시스템(100)에서는 이와 같이 두 단계의 동작이 수행되는 데 소비되는 클럭의 사이클 수와 다이نام릭 주파수 스케일링을 수행하지 않는 경우, 즉 동작 주파수가 임계 주파수보다 큰 경우 캐쉬 메모리(110)에서만 데이터를 찾는 동작을 수행하는 데 소비되는 클럭의 사이클 수가 동일하다.
- <87> 즉, 종래의 캐쉬 메모리에서만 데이터를 찾는 반도체 시스템(미도시)은 다이نام릭 스케일링에 의하여 동작 주파수가 낮아지고 주기가 증가되어 여유 시간이 생겨도 발생된 여유 시간 동안 아무런 동작을 하지 않는다.

- <88> 그러나 본 발명의 제 1 실시예에 따른 반도체 시스템(100)은 라인 버퍼(120)에서 데이터를 찾을 수 없는 경우, 다이내믹 주파수 스케일링에 의하여 발생된 여유 시간을 이용하여 다시 캐쉬 메모리(110)에서 데이터를 찾는 동작을 수행하므로 결국 종래의 반도체 시스템(미도시)과 동일한 클럭 사이클 수를 소비한다.
- <89> 도 1의 반도체 시스템(100)의 동작에 대하여 타이밍도를 이용하여 좀 더 상세히 설명한다.
- <90> 도 2는 도 1의 반도체 시스템의 동작을 설명하는 타이밍도이다.
- <91> 클럭(CLK2)은 클럭(CLK1)이 다이내믹 주파수 스케일링에 의해서 주파수가 낮아짐에 의하여 주기가 늘어나는 것을 표현한 것이다. CONV 는 종래의 반도체 시스템(미도시)의 동작을 설명하는 것이며, PROP는 본 발명의 반도체 시스템(100)의 동작을 설명하는 것이다.
- <92> 동작 제어 신호(DFS)가 제 1 레벨인 경우, 캐쉬 메모리 인에이블 신호(CCHENS)에 의해서 캐쉬 메모리(110)는 항상 인에이블 된다. 어드레스 신호(ADDS)에 응답하여 캐쉬 메모리(110)가 접근된다.(i) 이러한 동작은 클럭(CLK1)의 한 주기동안 수행된다.
- <93> 다이내믹 주파수 스케일링이 수행되어 동작 제어 신호(DFS)가 제 2 레벨로 되고 주파수가 낮아지면 클럭(CLK1)의 주기가 클럭(CLK2)과 같이 증가된다. 종래의 반도체 시스템(미도시)은 어드레스 신호(ADDS)에 응답하여 캐쉬 메모리(110)에 접근한다.(ii)
- <94> 그리고 늘어난 주기에 의해서 발생된 여유 시간(iii)동안 아무런 동작도 수행하지 아니한다. 따라서, 클럭(CLK2)의 주기가 증가되어도 종래의 반도체 시스템(미도시)은 캐쉬 메모리(110)에 접근하는 동작을 클럭(CLK2)의 한 주기동안 수행한다.

- <95> 본 발명의 제 1 실시예에 따른 반도체 시스템(100)은 클럭(CLK2)의 주기가 증가되는 경우, 먼저 라인 버퍼(120)에 접근한다.(iv) 라인 버퍼(120)에 어드레스 신호(ADDS)에 대응되는 데이터가 있다면 상기 데이터를 출력한다.
- <96> 대응되는 데이터가 없다면 라인 버퍼(120)는 라인 버퍼 출력 신호(LBOUT)를 발생한다.(v) 라인 버퍼 출력 신호(LBOUT)와 동작 제어 신호(DFS)에 응답하여 캐쉬 메모리 인에이블 회로(130)는 캐쉬 메모리 인에이블 신호(CCHENS)를 발생하여 캐쉬 메모리(110)를 인에이블 시킨다.(vi) 그리고 캐쉬 메모리(110)에서 어드레스 신호(ADDS)에 대응되는 데이터를 찾는다.
- <97> 본 발명의 제 1 실시예에 따른 반도체 시스템(100)은 늘어난 클럭(CLK2) 주기로 인하여 발생된 여유 시간(iii)을 이용하여 캐쉬 메모리(110)에 접근하는 동작을 수행한다. 따라서, 모든 동작이 클럭(CLK2)의 한 주기동안 수행된다.
- <98> 반도체 시스템(100)이 만일 라인 버퍼(120)에서 데이터를 찾는다면 반도체 시스템(100)은 전력 소비를 줄일 수 있다. 라인 버퍼(120)의 사이즈가 캐쉬 메모리(110)보다 작기 때문이다.
- <99> 본 발명의 제 1 실시예에 따른 반도체 시스템(100)은 동일한 효과를 내는 동작을 수행하는데 있어서 종래의 반도체 시스템(미도시)과 동일한 클럭 사이클 수를 소비하면서도 전력 소비를 줄일 수 있다.
- <100> 도 3은 본 발명의 제 2 실시예에 따른 반도체 시스템을 설명하는 블록도이다.
- <101> 제 2 동작 모드에서의 동작 주파수가 제 1 동작 모드에서의 동작 주파수의 $1/n$ 배라면, 도 3의 반도체 시스템(300)은 제 2 동작 모드에서 특정한 동작이 수행되는 데 소비되는 사이클(cycle) 수는 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사

이클 수보다 작고 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수의 $1/n$ 배보다 크다.

<102> 예를 들면, 제 1 동작 모드에서 특정한 동작이 3개의 사이클 동안 수행되고 제 2 동작 모드에서의 동작 주파수가 제 1 동작 모드에서의 동작 주파수의 $1/2$ 이라면, 제 2 동작 모드에서 상기 특정한 동작과 동일한 동작은 2개의 사이클 동안 수행될 수도 있고 1.5 개의 사이클 동안 수행될 수도 있다.

<103> 이하에서는 제 2 동작 모드에서 특정한 동작이 수행되는 데 소비되는 사이클(cycle) 수가 상기 제 1 동작 모드에서 상기 특정한 동작이 수행되는 데 소비되는 사이클 수의 $1/n$ 배인 경우에 대하여 설명한다.

<104> 도 3을 참조하면, 반도체 시스템(300)은 데이터를 저장하는 캐쉬 메모리(310) 및 캐쉬 메모리(310)에 저장된 데이터 중 일부 데이터를 저장하는 필터 캐쉬 메모리(320)를 구비한다.

<105> 반도체 시스템(300)은 캐쉬 메모리 인에이블 회로(330)를 더 구비한다. 캐쉬 메모리 인에이블 회로(330)는 동작 제어 신호(DFS)가 제 1 논리 레벨이면 소정의 필터 캐쉬 출력 신호(FCOUT_PROP)를 수신하고 클럭(CLK)에 동기 되어 캐쉬 메모리(310)를 인에이블 시키는 캐쉬 메모리 인에이블 신호(CCHENS_PROP)를 발생한다.

<106> 또한 캐쉬 메모리 인에이블 회로(330)는 동작 제어 신호(DFS)가 제 2 논리 레벨이면 필터 캐쉬 출력 신호(FCOUT_PROP)에 응답하여 캐쉬 메모리 인에이블 신호(CCHENS_PROP)를 발생한다.

<107> 필터 캐쉬 출력 신호(FCOUT_PROP)는 어드레스 신호(ADDS)에 대응되는 데이터가 필터 캐쉬 메모리(320)에 존재하지 않는 경우에 필터 캐쉬 메모리(320)로부터 출력되는 신호이다.

- <108> 도 4는 도 3의 캐쉬 메모리 인에이블 회로의 구조를 설명하는 회로도이다.
- <109> 도 4를 참조하면, 캐쉬 메모리 인에이블 회로(330)는 저장부(FF) 및 선택부(410)를 구비한다. 저장부(FF)는 필터 캐쉬 출력 신호(FCOUT_PROP)를 수신한 후 클럭(CLK)에 응답하여 출력한다.
- <110> 선택부(410)는 동작 제어 신호(DFS)가 제 1 논리 레벨이면 저장부(FF)의 출력을 캐쉬 메모리 인에이블 신호(CCHENS_PROP)로서 출력하고, 동작 제어 신호(DFS)가 제 2 논리 레벨이면 필터 캐쉬 출력 신호(FCOUT_PROP)를 캐쉬 메모리 인에이블 신호(CCHENS_PROP)로서 출력한다.
- <111> 도 3의 제 2 실시예에 따른 반도체 시스템(300)은 동작 제어 신호(DFS)가 제 1 논리 레벨이면 어드레스 신호(ADDS)에 응답하여 필터 캐쉬 메모리(320)와 캐쉬 메모리(310)에 순차적으로 접근하는 제 1 동작 모드를 수행한다.
- <112> 반대로, 동작 제어 신호(DFS)가 제 2 논리 레벨이면 어드레스 신호(ADDS)에 응답하여 필터 캐쉬 메모리(320)와 캐쉬 메모리(310)에 순차적으로 접근하는 제 2 동작 모드를 수행한다.
- <113> 반도체 시스템(300)은 만일 제 2 동작 모드의 동작 주파수가 제 1 동작 모드의 동작 주파수의 $1/n$ 배라면, 제 2 동작 모드의 동작이 수행되는데 소비되는 사이클 수가 제 1 동작 모드의 동작이 수행되는데 소비되는 사이클 수의 $1/n$ 배이다.
- <114> 도 5는 도 3의 반도체 시스템의 동작을 설명하는 타이밍도이다.
- <115> 클럭(CLK2)은 클럭(CLK1)이 다이내믹 주파수 스케일링에 의해서 주파수가 낮아짐에 의하여 주기가 늘어나는 것을 표현한 것이다. CONV 는 종래의 반도체 시스템(미도시)의 동작을 설명하는 것이며, PROP는 본 발명의 반도체 시스템(300)의 동작을 설명하는 것이다.

- <116> 동작 제어 신호(DFS)가 제 1 논리 레벨이면 동작 주파수가 임계 주파수보다 큰 경우이다. 즉, 다이내믹 주파수 스케일링이 수행되지 아니하는 정상적인 동작이 수행되는 경우이다.
- <117> 이 경우 종래의 반도체 시스템(미도시)은 필터 캐쉬 메모리에 먼저 접근하여 어드레스 신호에 대응되는 데이터가 존재하는 지를 검색한다.(i) 만일 데이터가 존재하면 캐쉬 메모리는 데이터를 중앙 처리 장치(CPU : Central Process Unit)로 전송한다.
- <118> 종래의 반도체 시스템(미도시)이 필터 캐쉬 메모리에 먼저 접근하여 어드레스 신호에 대응되는 데이터가 존재하는 지를 검색하였으나(ii) 원하는 데이터를 찾지 못한 경우, 필터 캐쉬 메모리는 필터 캐쉬 출력 신호(FCOUT_CONV)를 출력한다.(iii)
- <119> 그러면 캐쉬 메모리 인에이블 회로는 캐쉬 메모리 인에이블 신호(CCHENS_CONV)를 발생한다.(iv) 캐쉬 메모리는 캐쉬 메모리 인에이블 신호(CCHENS_CONV)와 클럭 신호(CLK1)에 응답하여 인에이블 된다.(v, vi) 도 5에서 알 수 있듯이, 종래의 반도체 시스템(미도시)에서 필터 캐쉬 메모리와 캐쉬 메모리에 접근하는 동작은 클럭(CLK1)의 두 사이클 동안 수행된다.
- <120> 다이내믹 주파수 스케일링이 수행되어 동작 주파수가 1/2배가 된다고 가정한다. 그러면 클럭(CLK1)은 클럭(CLK2)과 같이 변화된다. 이때 종래의 반도체 시스템(미도시)은 필터 캐쉬 메모리에 먼저 접근한다.(vii) 원하는 데이터가 존재하지 않는 경우, 필터 캐쉬 메모리는 필터 캐쉬 출력 신호(FCOUT_CONV)를 출력한다.(viii)
- <121> 그러면, 캐쉬 메모리 인에이블 회로는 캐쉬 메모리 인에이블 신호(CCHENS_CONV)를 발생한다.(ix) 캐쉬 메모리는 캐쉬 메모리 인에이블 신호(CCHENS_CONV)와 클럭 신호(CLK2)에 응답하여 인에이블 된다.(x, xi)

- <122> 도 5에서 알 수 있듯이, 클럭(CLK2)의 주기가 다이내믹 주파수 스케일링에 의해서 클럭(CLK1)에 비하여 2배가되어도 종래의 반도체 시스템(미도시)이 필터 캐쉬 메모리와 캐쉬 메모리에 접근하는 동작을 수행하기 위해서는 클럭(CLK2)의 두 사이클을 소비한다.
- <123> 본 발명의 실시예에 따른 반도체 시스템(300)의 동작을 도 5의 타이밍도를 참조하여 설명한다.
- <124> 반도체 시스템(300)은 필터 캐쉬 메모리(320)에 접근하여 어드레스 신호(ADDS)에 대응되는 데이터를 찾는다.(x ii) 만일 필터 캐쉬 메모리(320)에 원하는 데이터가 없다면 필터 캐쉬 메모리(320)는 필터 캐쉬 출력 신호(FCOUT_PROP)를 출력한다.(x iii)
- <125> 캐쉬 메모리 인에이블 회로(330)는 필터 캐쉬 출력 신호(FCOUT_PROP)에 응답하여 캐쉬 메모리 인에이블 신호(CCHENS_PROP)를 출력한다.(x iv) 그리고, 캐쉬 메모리(310)에서 어드레스 신호(ADDS)에 대응되는 데이터를 찾는다.(x v)
- <126> 이 경우, 캐쉬 메모리 인에이블 회로(330)는 필터 캐쉬 출력 신호(FCOUT_PROP)가 발생되자마자 캐쉬 메모리 인에이블 신호(CCHENS_PROP)를 발생한다. 종래의 반도체 시스템(미도시)과 같이 다음 클럭의 상승 에지에 동기 되어 캐쉬 메모리 인에이블 신호가 발생되지 아니한다.
- <127> 필터 캐쉬 출력 신호(FCOUT_PROP)가 발생되자마자 캐쉬 메모리 인에이블 신호(CCHENS_PROP)가 발생되기 위하여 캐쉬 메모리 인에이블 회로(330)는 도 4와 같은 구조를 가질 수 있다.
- <128> 저장부(FF)는 필터 캐쉬 출력 신호(FCOUT_PROP)를 수신하여 저장한 후 클럭(CLK)에 응답하여 출력한다. 저장부(FF)는 플립플롭일 수 있다. 선택부(410)는 동작 제어 신호(DFS)가 제 1

논리 레벨이면 저장부(FF)에서 클럭(CLK)에 동기 되어 출력된 필터 캐쉬 출력 신호(FCOUT_PROP)를 선택하여 캐쉬 메모리 인에이블 신호(CCHENS_PROP)로서 출력한다.

<129> 이 경우 필터 캐쉬 출력 신호(FCOUT_PROP)가 동기되는 클럭(CLK)은 도 5의 클럭(CLK1)이다.

<130> 선택부(410)는 동작 제어 신호(DFS)가 제 2 논리 레벨이면 캐쉬 메모리 인에이블 회로(330)로 입력되는 필터 캐쉬 출력 신호(FCOUT_PROP)를 직접 수신하여 캐쉬 메모리 인에이블 신호(CCHENS_PROP)로서 출력한다. 이 경우 필터 캐쉬 출력 신호(FCOUT_PROP)는 클럭(CLK)에 동기되지 아니한다.

<131> 도 5에서 알 수 있듯이, 본 발명의 반도체 시스템(300)은 필터 캐쉬 메모리(320)에 접근하는 동작과 캐쉬 메모리(310)에 접근하는 동작을 수행하는데 종래의 반도체 시스템(미도시)과는 달리 클럭(CLK2)의 하나의 사이클만을 소비한다.

<132> 본 발명의 반도체 시스템(300)은 다이내믹 주파수 스케일링에 의해서 동작 주파수가 $1/n$ 으로 줄어들면 종래의 반도체 시스템(미도시)과 동일한 동작을 수행하면서도 소비하는 클럭(CLK)의 사이클 수를 $1/n$ 로 줄이므로 전력 소비를 줄일 수 있다.

<133> 도 1의 반도체 시스템(100)과 도 3의 반도체 시스템(300)은 다이내믹 주파수 스케일링에 의하여 동작 주파수가 줄어드는 경우 발생하는 여유 시간을 이용하여 전력을 적게 소비하는 동작모드로 동작될 수 있는 회로 구조에 대한 일 예일 뿐 본 발명이 도 1의 반도체 시스템(100)과 도 3의 반도체 시스템(300)에 한정되는 것은 아니다.

<134> 도 6은 본 발명의 제 3 실시예에 따른 반도체 시스템을 설명하는 블록도이다.

- <135> 도 6을 참조하면, 본 발명의 제 3 실시예에 따른 반도체 시스템(600)은 동작 모드 선택부(610), 주파수 발생부(620), 동작 모드 제어부(630) 및 동작 실행부(640)를 구비한다.
- <136> 동작 모드 선택부(610)는 동작 모드 선택 신호(MOSEL)에 응답하여 제 1 동작 모드가 선택되면 동작 모드 신호(MODES)를 제 1 논리 레벨로 발생하고 제 2 동작 모드가 선택되면 동작 모드 신호(MODES)를 제 2 논리 레벨로 출력한다. 제 1 동작 모드는 고성능 모드이다. 제 2 동작 모드는 저 전력 모드이다.
- <137> 사용자가 반도체 시스템(600)의 부하 등을 고려하여 반도체 시스템(600)을 제 1 동작 모드로 동작시킬 것인지 제 2 동작 모드로 동작시킬 것인지를 판단하여 동작 모드 선택 신호(MOSEL)를 동작 모드 선택부(610)로 인가한다. 그러면, 동작 모드 선택부(610)는 동작 모드 신호(MODES)의 논리 레벨을 제어하여 출력한다.
- <138> 주파수 발생부(620)는 동작 모드 신호(MODES)에 응답하여 반도체 시스템(600)의 동작 주파수(OPFREQ)를 증가시키거나 감소시킨다. 주파수 발생부(620)는 위상 동기 루프(Phase Locked Loop)일 수 있다.
- <139> 동작 모드 신호(MODES)가 제 2 논리 레벨로 입력되면 주파수 발생부(620)는 반도체 시스템(600)의 동작 주파수를 낮춘다. 동작 모드 신호(MODES)가 제 1 논리 레벨로 입력되면 주파수 발생부(620)는 반도체 시스템(600)의 동작 주파수를 높인다.
- <140> 동작 모드 제어부(630)는 주파수 발생부(620)에서 발생하는 동작 주파수(OPFREQ)가 임계 주파수보다 높으면 동작 제어 신호(DFS)를 제 1 레벨로 발생하고, 동작 주파수(OPFREQ)가 임계 주파수보다 낮거나 같으면 동작 제어 신호(DFS)를 제 2 레벨로 발생한다. 동작 모드 제어부(630)는 동작 주파수(OPFREQ)와 임계 주파수를 비교한다.

- <141> 임계 주파수는 다이내믹 주파수 스케일링을 수행하여 제 2 동작 모드(저전력 모드)의 동작이 제 1 동작 모드의 동작과 동일한 수의 클럭 사이클을 소비할 수 있는 제 2 동작 모드에서의 반도체 시스템(600)의 동작 주파수이다.
- <142> 동작 실행부(640)는 동작 제어 신호(DFS)가 제 1 레벨이면 제 1 동작 모드로 동작되고 동작 제어 신호(DFS)가 제 2 레벨이면 제 2 동작 모드로 동작된다. 동작 실행부(640)는 앞서 설명된 도 1의 반도체 시스템(100)이거나 또는 도 3의 반도체 시스템(300)일 수 있다.
- <143> 도 6의 반도체 시스템(600)은 도 1의 반도체 시스템(100) 또는 도 3의 반도체 시스템(300)을 구비하며, 도 1의 반도체 시스템(100) 또는 도 3의 반도체 시스템(300)을 제 1 동작 모드 또는 제 2 동작 모드로 동작시키기 위한 동작 제어 신호(DFS)를 발생하는 회로에 관한 것이다.
- <144> 동작 제어 신호(DFS)의 논리 레벨에 따라 고성능 모드로 동작되거나 또는 저전력 모드로 동작되는 동작 실행부(640)의 동작은 앞서 상세하게 설명되었으므로 상세한 설명은 생략한다.
- <145> 도 7은 본 발명의 제 1 실시예에 따른 반도체 시스템의 동작 모드 제어 방법을 설명하는 플로우 차트이다.
- <146> 도 7을 참조하면, 제 1 동작 모드 및 제 2 동작 모드를 구비하는 반도체 시스템의 동작 모드 제어 방법(700)은 먼저, 상기 반도체 시스템의 동작 주파수가 임계 주파수보다 큰 지 작은지를 판단한다.(제 710 단계)

- <147> 그리고, 동작 주파수가 상기 임계 주파수보다 높으면 상기 반도체 시스템을 상기 제 1 동작 모드로 동작시킨다.(제 720 단계) 마지막으로, 상기 동작 주파수가 상기 임계 주파수보다 낮거나 같으면 상기 반도체 시스템을 상기 제 2 동작 모드로 동작시킨다.(제 730 단계)
- <148> 다이나믹 주파수 스케일링(Dynamic Frequency Scaling)이 수행되어 동작 주파수가 낮아지면 반도체 시스템은 하나의 클럭 주기 동안에 보다 많은 동작을 수행할 수 있는 여지를 갖는다. 다이나믹 주파수 스케일링에 의해 주파수가 낮아지면 반도체 시스템의 주기는 증가된다.
- <149> 본 발명의 동작 모드 제어 방법(700)은 증가된 주기를 이용하여 전력 소모를 감소시킬 수 있는 동작(제 2 동작 모드)을 수행하고, 다이나믹 주파수 스케일링이 수행되지 않는 경우에는 정상적인 동작(제 1 동작 모드)을 수행하는 반도체 시스템의 동작 모드 제어 방법에 관한 것이다.
- <150> 다이나믹 주파수 스케일링에 의해서 동작 주파수가 임계 주파수보다 낮아지면 반도체 시스템은 제 2 동작 모드로 동작된다. 여기서, 제 2 동작 모드는 저 전력 모드이다. 그리고, 제 1 동작 모드는 고성능 모드이다.
- <151> 다이나믹 주파수 스케일링에 의해서 동작 주파수가 임계 주파수 보다 낮아지면 반도체 시스템의 주기가 늘어난다. 따라서 반도체 시스템이 동일한 동작을 수행한다면 동작 주파수가 작을 경우에는 동작 주파수가 클 경우에 비해서 여유 시간이 생긴다.
- <152> 도 7의 반도체 시스템의 동작 모드 제어 방법(700)은 동작 주파수가 낮아짐에 따라 발생된 여유 시간을 이용하여 동일한 기능을 수행하면서도 전력을 적게 소비하는 동작을 수행할 수 있는 방법이다.

- <153> 즉, 반도체 시스템은 동작 주파수가 임계 주파수보다 클 경우에는 정상적인 동작을 수행하고, 동작 주파수가 임계 주파수보다 작을 경우에는 주기가 늘어남으로 인하여 발생된 여유 시간을 이용하여 전력을 덜 소비하면서도 동일한 기능을 하는 동작을 수행한다.
- <154> 도 7의 동작 모드 제어 방법(700)은 도 1 및 도 3의 반도체 시스템(100, 300)을 이용하여 설명된 바 있으므로 동작에 대한 상세한 설명은 생략한다.
- <155> 도 8은 본 발명의 제 2 실시예에 따른 반도체 시스템의 동작 모드 제어 방법을 설명하는 플로우 차트이다.
- <156> 도 8을 참조하면, 데이터를 저장하는 캐쉬 메모리 및 상기 캐쉬 메모리에 저장된 데이터 중 일부 데이터를 저장하는 라인 버퍼를 구비하는 반도체 시스템의 동작 모드 제어 방법(800)은 먼저, 상기 반도체 시스템의 동작 주파수가 임계 주파수보다 높은지 낮은지를 판단한다.(제 810 단계)
- <157> 상기 동작 주파수가 상기 임계 주파수보다 높으면 상기 반도체 시스템이 제 1 동작 모드로 동작되도록 어드레스 신호에 응답하여 상기 캐쉬 메모리에 접근한다.(제 820 단계)
- <158> 상기 동작 주파수가 상기 임계 주파수보다 낮거나 같으면 상기 반도체 시스템이 제 2 동작 모드로 동작되도록 상기 어드레스 신호에 응답하여 상기 라인 버퍼와 상기 캐쉬 메모리를 순차적으로 접근한다.(제 830 단계)
- <159> 도 8의 반도체 시스템의 동작 모드 제어 방법(800)은 상기 제 1 동작 모드의 동작과 상기 제 2 동작 모드의 동작이 수행되는데 소비되는 사이클 수가 동일하다.
- <160> 도 8의 반도체 시스템의 동작 모드 제어 방법(800)은 도 1의 반도체 시스템(100)의 동작에 대응된다. 따라서, 동작에 대한 상세한 설명은 생략한다.

- <161> 도 9는 본 발명의 제 3 실시예에 따른 반도체 시스템의 동작 모드 제어 방법을 설명하는 플로우 차트이다.
- <162> 도 9를 참조하면, 데이터를 저장하는 캐쉬 메모리 및 상기 캐쉬 메모리에 저장된 데이터 중 일부 데이터를 저장하는 필터 캐쉬 메모리를 구비하는 반도체 시스템의 동작 모드 제어 방법(900)은 먼저, 상기 반도체 시스템의 동작 주파수가 임계 주파수보다 큰 지 작은지를 판단한다.(제 910 단계)
- <163> 그리고, 상기 동작 주파수가 상기 임계 주파수보다 높으면 상기 반도체 시스템이 제 1 동작 모드로 동작되도록 어드레스 신호에 응답하여 상기 필터 캐쉬 메모리와 상기 캐쉬 메모리에 순차적으로 접근한다.(제 920 단계)
- <164> 마지막으로, 상기 동작 주파수가 상기 임계 주파수보다 낮거나 같으면 상기 반도체 시스템이 제 2 동작 모드로 동작되도록 상기 어드레스 신호에 응답하여 상기 필터 캐쉬 메모리와 상기 캐쉬 메모리에 순차적으로 접근한다.(제 930 단계)
- <165> 도 9의 반도체 시스템의 동작 모드 제어 방법(900)에 있어서, 상기 제 2 동작 모드에서의 상기 반도체 시스템의 동작 주파수가 상기 제 1 동작 모드에서의 상기 반도체 시스템의 동작 주파수의 $1/n$ 이라면, 상기 제 2 동작 모드의 동작이 수행되는데 소비되는 사이클 수는 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수보다 작고 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수의 $1/n$ 배보다 크다.
- <166> 도 9의 반도체 시스템의 동작 모드 제어 방법(900)은 도 3의 반도체 시스템(300)의 동작에 대응된다. 따라서, 동작에 대한 상세한 설명은 생략한다.

<167> 이와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<168> 상술한 바와 같이 본 발명에 따른 반도체 시스템 및 반도체 시스템의 동작 모드 제어 방법은 다이내믹 주파수 스케일링이 수행되는 경우 전력 소모를 감소시키는 동작 모드로 동작되고 다이내믹 주파수 스케일링이 수행되지 아니하는 경우에는 정상 동작 모드로 동작됨으로써 동작 주파수가 낮아지는 경우 소비 전력을 감소시킬 수 있는 장점이 있다.

【특허청구범위】**【청구항 1】**

제 1 동작 모드 ; 및

제 2 동작 모드를 구비하고,

동작 제어 신호가 제 1 논리 레벨인 경우 상기 제 1 동작 모드로 동작되고, 상기 동작 제어 신호가 제 2 논리 레벨인 경우 제 상기 제 2 동작 모드로 동작되는 것을 특징으로 하는 반도체 시스템.

【청구항 2】

제 1 항에 있어서, 상기 제 1 동작 모드는,

고성능 모드인 것을 특징으로 하는 반도체 시스템.

【청구항 3】

제 1 항에 있어서, 상기 제 2 동작 모드는,

저 전력 모드인 것을 특징으로 하는 반도체 시스템.

【청구항 4】

제 1 항에 있어서, 상기 동작 제어 신호는,

현재의 동작 주파수가 임계 주파수보다 높으면 제 1 논리 레벨로 발생되고, 상기 현재의 동작 주파수가 상기 임계 주파수보다 낮거나 같으면 제 2 논리 레벨로 발생하는 것을 특징으로 하는 반도체 시스템.

【청구항 5】

제 1항에 있어서,

상기 제 2 동작 모드에서 특정한 동작이 수행되는 데 소비되는 사이클(cycle) 수와 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 기능을 수행하는 동작이 수행되는 데 소비되는 사이클 수가 동일한 것을 특징으로 하는 반도체 시스템.

【청구항 6】

제 5 항에 있어서,

데이터를 저장하는 캐쉬 메모리 ; 및

상기 캐쉬 메모리에 저장된 데이터 중 일부 데이터를 저장하는 라인 버퍼를 구비하고,

상기 동작 제어 신호가 제 1 논리 레벨이면 어드레스 신호에 응답하여 상기 캐쉬 메모리만 접근되는 상기 제 1 동작 모드가 수행되고, 상기 동작 제어 신호가 제 2 논리 레벨이면 상기 어드레스 신호에 응답하여 상기 라인 버퍼와 상기 캐쉬 메모리가 순차적으로 접근되는 상기 제 2 동작 모드가 수행되며,

상기 제 1 동작 모드의 동작과 상기 제 2 동작 모드의 동작이 수행되는 데 소비되는 사이클 수가 동일한 것을 특징으로 하는 반도체 시스템.

【청구항 7】

제 6 항에 있어서,

상기 동작 제어 신호가 제 1 논리 레벨이면 상기 캐쉬 메모리를 계속 인에이블 시키고 상기 동작 제어 신호가 제 2 논리 레벨이면 소정의 라인 버퍼 출력 신호를 수신하는 경우에만

상기 캐쉬 메모리를 인에이블 시키는 캐쉬 메모리 인에이블 신호를 발생하는 캐쉬 메모리 인에이블 회로 ; 및

상기 동작 제어 신호가 제 1 논리 레벨이면 상기 라인 버퍼를 계속 디스에이블 시키고
상기 동작 제어 신호가 제 2 논리 레벨이면 상기 라인 버퍼를 계속 인에이블 시키는 라인 버퍼 인에이블 신호를 발생하는 라인 버퍼 인에이블 회로를 더 구비하는 것을 특징으로 하는 반도체 시스템.

【청구항 8】

제 7 항에 있어서, 상기 라인 버퍼 출력 신호는,

상기 동작 제어 신호가 제 2 논리 레벨이고 상기 어드레스 신호에 대응되는 데이터가 상기 라인 버퍼에 존재하지 않는 경우에 상기 라인 버퍼로부터 출력되는 신호인 것을 특징으로 하는 반도체 시스템.

【청구항 9】

제 1 항에 있어서,

상기 제 2 동작 모드에서의 동작 주파수가 상기 제 1 동작 모드에서의 동작 주파수의 $1/n$ 배라면, 상기 제 2 동작 모드에서 특정한 동작이 수행되는 데 소비되는 사이클(cycle) 수는 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수보다 작고 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수의 $1/n$ 배보다 큰 것을 특징으로 하는 반도체 시스템.

【청구항 10】

제 9 항에 있어서,

데이터를 저장하는 캐쉬 메모리 ; 및

상기 캐쉬 메모리에 저장된 데이터 중 일부 데이터를 저장하는 필터 캐쉬 메모리를 구비하고,

상기 동작 제어 신호가 제 1 논리 레벨이면 어드레스 신호에 응답하여 상기 필터 캐쉬 메모리와 상기 캐쉬 메모리가 순차적으로 접근되는 상기 제 1 동작 모드가 수행되고, 상기 동작 제어 신호가 제 2 논리 레벨이면 상기 어드레스 신호에 응답하여 상기 필터 캐쉬 메모리와 상기 캐쉬 메모리가 순차적으로 접근되는 상기 제 2 동작 모드가 수행되며,

상기 제 2 동작 모드의 동작이 수행되는데 소비되는 사이클 수는 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수보다 작고 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수의 $1/n$ 배보다 큰 것을 특징으로 하는 반도체 시스템.

【청구항 11】

제 10 항에 있어서,

상기 동작 제어 신호가 제 1 논리 레벨이면 소정의 필터 캐쉬 출력 신호를 수신하고 클럭에 동기 되어 상기 캐쉬 메모리를 인에이블 시키는 캐쉬 메모리 인에이블 신호를 발생하고,

상기 동작 제어 신호가 제 2 논리 레벨이면 상기 필터 캐쉬 출력 신호에 응답하여 상기 캐쉬 메모리 인에이블 신호를 발생하는 캐쉬 메모리 인에이블 회로를 더 구비하는 것을 특징으로 하는 반도체 시스템.

【청구항 12】

제 11 항에 있어서, 상기 필터 캐쉬 출력 신호는,

상기 어드레스 신호에 대응되는 데이터가 상기 필터 캐쉬 메모리에 존재하지 않는 경우에 상기 필터 캐쉬 메모리로부터 출력되는 신호인 것을 특징으로 하는 반도체 시스템.

【청구항 13】

제 11 항에 있어서, 상기 캐쉬 메모리 인에이블 회로는,

상기 필터 캐쉬 출력 신호를 수신하고 상기 클럭에 응답하여 출력하는 저장부 ; 및

상기 동작 제어 신호가 제 1 논리 레벨이면 상기 저장부의 출력을 상기 캐쉬 메모리 인에이블 신호로서 출력하고, 상기 동작 제어 신호가 제 2 논리 레벨이면 상기 필터 캐쉬 출력 신호를 상기 캐쉬 메모리 인에이블 신호로서 출력하는 선택부를 구비하는 것을 특징으로 하는 반도체 시스템.

【청구항 14】

동작 모드 선택 신호에 응답하여 제 1 동작 모드가 선택되면 동작 모드 신호를 제 1 레벨로 발생하고 제 2 동작 모드가 선택되면 상기 동작 모드 신호를 제 2 레벨로 출력하는 동작 모드 선택부 ;

상기 동작 모드 신호에 응답하여 동작 주파수를 증가시키거나 감소시키는 주파수 발생부 ;

상기 주파수 발생부에서 발생하는 상기 동작 주파수가 임계 주파수보다 높으면 동작 제어 신호를 제 1 레벨로 발생하고, 상기 동작 주파수가 상기 임계 주파수보다 낮거나 같으면 상기 동작 제어 신호를 제 2 레벨로 발생하는 동작 모드 제어부 ; 및

상기 동작 제어 신호가 제 1 레벨이면 상기 제 1 동작 모드로 동작되고 상기 동작 제어 신호가 제 2 레벨이면 상기 제 2 동작 모드로 동작되는 동작 실행부를 구비하는 것을 특징으로 하는 반도체 시스템.

【청구항 15】

제 14 항에 있어서, 상기 제 1 동작 모드는,
고성능 모드인 것을 특징으로 하는 반도체 시스템.

【청구항 16】

제 14 항에 있어서, 상기 제 2 동작 모드는,
저 전력 모드인 것을 특징으로 하는 반도체 시스템.

【청구항 17】

제 14항에 있어서, 상기 동작 실행부는,
상기 제 2 동작 모드에서 특정한 동작이 수행되는 데 소비되는 사이클(cycle) 수와 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 기능을 수행하는 동작이 수행되는 데 소비되는 사이클 수가 동일한 것을 특징으로 하는 반도체 시스템.

【청구항 18】

제 17 항에 있어서, 상기 동작 실행부는,
데이터를 저장하는 캐쉬 메모리 ; 및
상기 캐쉬 메모리에 저장된 데이터 중 일부 데이터를 저장하는 라인 버퍼를 구비하고,

상기 동작 제어 신호가 제 1 논리 레벨이면 어드레스 신호에 응답하여 상기 캐쉬 메모리만 접근되는 상기 제 1 동작 모드가 수행되고, 상기 동작 제어 신호가 제 2 논리 레벨이면 상기 어드레스 신호에 응답하여 상기 라인 버퍼와 상기 캐쉬 메모리가 순차적으로 접근되는 상기 제 2 동작 모드가 수행되며,

상기 제 1 동작 모드의 동작과 상기 제 2 동작 모드의 동작이 수행되는 데 소비되는 사이클 수가 동일한 것을 특징으로 하는 반도체 시스템.

【청구항 19】

제 18 항에 있어서,

상기 동작 제어 신호가 제 1 논리 레벨이면 상기 캐쉬 메모리를 계속 인에이블 시키고 상기 동작 제어 신호가 제 2 논리 레벨이면 소정의 라인 버퍼 출력 신호를 수신하는 경우에만 상기 캐쉬 메모리를 인에이블 시키는 캐쉬 메모리 인에이블 신호를 발생하는 캐쉬 메모리 인에이블 회로 ; 및

상기 동작 제어 신호가 제 1 논리 레벨이면 상기 라인 버퍼를 계속 디스에이블 시키고 상기 동작 제어 신호가 제 2 논리 레벨이면 상기 라인 버퍼를 계속 인에이블 시키는 라인 버퍼 인에이블 신호를 발생하는 라인 버퍼 인에이블 회로를 더 구비하는 것을 특징으로 하는 반도체 시스템.

【청구항 20】

제 19 항에 있어서, 상기 라인 버퍼 출력 신호는,

상기 동작 제어 신호가 제 2 논리 레벨이고 상기 어드레스 신호에 대응되는 데이터가 상기 라인 버퍼에 존재하지 않는 경우에 상기 라인 버퍼로부터 출력되는 신호인 것을 특징으로 하는 반도체 시스템.

【청구항 21】

제 14항에 있어서, 상기 동작 실행부는,

상기 제 2 동작 모드에서의 동작 주파수가 상기 제 1 동작 모드에서의 동작 주파수의 $1/n$ 배라면, 상기 제 2 동작 모드에서 특정한 동작이 수행되는 데 소비되는 사이클(cycle) 수는 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수보다 작고 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수의 $1/n$ 배보다 큰 것을 특징으로 하는 반도체 시스템.

【청구항 22】

제 21 항에 있어서, 상기 동작 실행부는,

데이터를 저장하는 캐쉬 메모리 ; 및

상기 캐쉬 메모리에 저장된 데이터 중 일부 데이터를 저장하는 필터 캐쉬 메모리를 구비하고,

상기 동작 제어 신호가 제 1 논리 레벨이면 어드레스 신호에 응답하여 상기 필터 캐쉬 메모리와 상기 캐쉬 메모리가 순차적으로 접근되는 상기 제 1 동작 모드가 수행되고, 상기 동작 제어 신호가 제 2 논리 레벨이면 상기 어드레스 신호에 응답하여 상기 필터 캐쉬 메모리와 상기 캐쉬 메모리가 순차적으로 접근되는 상기 제 2 동작 모드가 수행되며,

상기 제 2 동작 모드의 동작이 수행되는데 소비되는 사이클 수는 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수보다 작고 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수의 $1/n$ 배보다 큰 것을 특징으로 하는 반도체 시스템.

【청구항 23】

제 22 항에 있어서,

상기 동작 제어 신호가 제 1 논리 레벨이면 소정의 필터 캐쉬 출력 신호를 수신하고 클럭에 동기 되어 상기 캐쉬 메모리를 인에이블 시키는 캐쉬 메모리 인에이블 신호를 발생하고,

상기 동작 제어 신호가 제 2 논리 레벨이면 상기 필터 캐쉬 출력 신호에 응답하여 상기 캐쉬 메모리 인에이블 신호를 발생하는 캐쉬 메모리 인에이블 회로를 더 구비하는 것을 특징으로 하는 반도체 시스템.

【청구항 24】

제 23 항에 있어서, 상기 필터 캐쉬 출력 신호는,

상기 어드레스 신호에 대응되는 데이터가 상기 필터 캐쉬 메모리에 존재하지 않는 경우에 상기 필터 캐쉬 메모리로부터 출력되는 신호인 것을 특징으로 하는 반도체 시스템.

【청구항 25】

제 23 항에 있어서, 상기 캐쉬 메모리 인에이블 회로는,

상기 필터 캐쉬 출력 신호를 수신하고 상기 클럭에 응답하여 출력하는 저장부 ; 및

상기 동작 제어 신호가 제 1 논리 레벨이면 상기 저장부의 출력을 상기 캐쉬 메모리 인에이블 신호로서 출력하고, 상기 동작 제어 신호가 제 2 논리 레벨이면 상기 필터 캐쉬 출력

신호를 상기 캐쉬 메모리 인에이블 신호로서 출력하는 선택부를 구비하는 것을 특징으로 하는 반도체 시스템.

【청구항 26】

데이터를 저장하는 캐쉬 메모리 ; 및

상기 캐쉬 메모리에 저장된 데이터 중 일부 데이터를 저장하는 라인 버퍼를 구비하고,

동작 제어 신호가 제 1 논리 레벨이면 어드레스 신호에 응답하여 상기 캐쉬 메모리만 접근되는 제 1 동작 모드가 수행되고, 상기 동작 제어 신호가 제 2 논리 레벨이면 상기 어드레스 신호에 응답하여 상기 라인 버퍼와 상기 캐쉬 메모리가 순차적으로 접근되는 제 2 동작 모드가 수행되며,

상기 제 1 동작 모드의 동작과 상기 제 2 동작 모드의 동작이 수행되는데 소비되는 사이클 수가 동일한 것을 특징으로 하는 반도체 시스템.

【청구항 27】

제 26 항에 있어서, 상기 동작 제어 신호는,

현재의 동작 주파수가 임계 주파수보다 높으면 제 1 논리 레벨로 발생되고, 상기 현재의 동작 주파수가 상기 임계 주파수보다 낮거나 같으면 제 2 논리 레벨로 발생되는 것을 특징으로 하는 반도체 시스템.

【청구항 28】

제 26 항에 있어서,

상기 동작 제어 신호가 제 1 논리 레벨이면 상기 캐쉬 메모리를 계속 인에이블 시키고
상기 동작 제어 신호가 제 2 논리 레벨이면 소정의 라인 버퍼 출력 신호를 수신하는 경우에만

상기 캐쉬 메모리를 인에이블 시키는 캐쉬 메모리 인에이블 신호를 발생하는 캐쉬 메모리 인에이블 회로 ; 및

상기 동작 제어 신호가 제 1 논리 레벨이면 상기 라인 버퍼를 계속 디스에이블 시키고
상기 동작 제어 신호가 제 2 논리 레벨이면 상기 라인 버퍼를 계속 인에이블 시키는 라인 버퍼 인에이블 신호를 발생하는 라인 버퍼 인에이블 회로를 더 구비하는 것을 특징으로 하는 반도체 시스템.

【청구항 29】

제 28 항에 있어서, 상기 라인 버퍼 출력 신호는,

상기 동작 제어 신호가 제 2 논리 레벨이고 상기 어드레스 신호에 대응되는 데이터가 상기 라인 버퍼에 존재하지 않는 경우에 상기 라인 버퍼로부터 출력되는 신호인 것을 특징으로 하는 반도체 시스템.

【청구항 30】

데이터를 저장하는 캐쉬 메모리 ; 및

상기 캐쉬 메모리에 저장된 데이터 중 일부 데이터를 저장하는 필터 캐쉬 메모리를 구비하고,

동작 제어 신호가 제 1 논리 레벨이면 어드레스 신호에 응답하여 상기 필터 캐쉬 메모리와 상기 캐쉬 메모리가 순차적으로 접근되는 상기 제 1 동작 모드가 수행되고, 상기 동작 제어 신호가 제 2 논리 레벨이면 상기 어드레스 신호에 응답하여 상기 필터 캐쉬 메모리와 상기 캐쉬 메모리가 순차적으로 접근되는 상기 제 2 동작 모드가 수행되며,

상기 제 2 동작 모드의 동작이 수행되는데 소비되는 사이클 수는 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수보다 작고 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수의 $1/n$ 배보다 큰 것을 특징으로 하는 반도체 시스템.

【청구항 31】

제 30항에 있어서, 상기 동작 제어 신호는,

현재의 동작 주파수가 임계 주파수보다 높으면 제 1 논리 레벨로 발생되고, 상기 현재의 동작 주파수가 상기 임계 주파수보다 낮거나 같으면 제 2 논리 레벨로 발생하는 것을 특징으로 하는 반도체 시스템.

【청구항 32】

제 30 항에 있어서,

상기 동작 제어 신호가 제 1 논리 레벨이면 소정의 필터 캐쉬 출력 신호를 수신하고 클럭에 동기 되어 상기 캐쉬 메모리를 인에이블 시키는 캐쉬 메모리 인에이블 신호를 발생하고,

상기 동작 제어 신호가 제 2 논리 레벨이면 상기 필터 캐쉬 출력 신호에 응답하여 상기 캐쉬 메모리 인에이블 신호를 발생하는 캐쉬 메모리 인에이블 회로를 더 구비하는 것을 특징으로 하는 반도체 시스템.

【청구항 33】

제 32 항에 있어서, 상기 필터 캐쉬 출력 신호는,

상기 어드레스 신호에 대응되는 데이터가 상기 필터 캐쉬 메모리에 존재하지 않는 경우에 상기 필터 캐쉬 메모리로부터 출력되는 신호인 것을 특징으로 하는 반도체 시스템.

【청구항 34】

제 32 항에 있어서, 상기 캐쉬 메모리 인에이블 회로는,

상기 필터 캐쉬 출력 신호를 수신하고 상기 클럭에 응답하여 출력하는 저장부 ; 및

상기 동작 제어 신호가 제 1 논리 레벨이면 상기 저장부의 출력을 상기 캐쉬 메모리 인에이블 신호로서 출력하고, 상기 동작 제어 신호가 제 2 논리 레벨이면 상기 필터 캐쉬 출력 신호를 상기 캐쉬 메모리 인에이블 신호로서 출력하는 선택부를 구비하는 것을 특징으로 하는 반도체 시스템.

【청구항 35】

제 1 동작 모드 및 제 2 동작 모드를 구비하는 반도체 시스템의 동작 모드 제어 방법에 있어서,

상기 반도체 시스템의 동작 주파수가 임계 주파수보다 큰 지 작은지를 판단하는 단계 ;

상기 동작 주파수가 상기 임계 주파수보다 높으면 상기 반도체 시스템을 상기 제 1 동작 모드로 동작시키는 단계 ; 및

상기 동작 주파수가 상기 임계 주파수보다 낮거나 같으면 상기 반도체 시스템을 상기 제 2 동작 모드로 동작시키는 단계를 구비하는 것을 특징으로 하는 반도체 시스템의 동작 모드 제어 방법.

【청구항 36】

제 35 항에 있어서, 상기 제 1 동작 모드는,

고성능 모드인 것을 특징으로 하는 반도체 시스템의 동작 모드 제어 방법.

【청구항 37】

제 35 항에 있어서, 상기 제 2 동작 모드는,

저 전력 모드인 것을 특징으로 하는 반도체 시스템의 동작 모드 제어 방법.

【청구항 38】

제 35항에 있어서,

상기 제 2 동작 모드에서 특정한 동작이 수행되는 데 소비되는 사이클(cycle) 수와 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 기능을 수행하는 동작이 수행되는 데 소비되는 사이클 수가 동일한 것을 특징으로 하는 반도체 시스템의 동작 모드 제어 방법.

【청구항 39】

제 35 항에 있어서,

상기 제 2 동작 모드에서의 동작 주파수가 상기 제 1 동작 모드에서의 동작 주파수의 $1/n$ 배라면, 상기 제 2 동작 모드에서 특정한 동작이 수행되는 데 소비되는 사이클(cycle) 수는 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수보다 작고 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수의 $1/n$ 배보다 큰 것을 특징으로 하는 반도체 시스템의 동작 모드 제어 방법.

【청구항 40】

데이터를 저장하는 캐쉬 메모리 및 상기 캐쉬 메모리에 저장된 데이터 중 일부 데이터를 저장하는 라인 버퍼를 구비하는 반도체 시스템의 동작 모드 제어 방법에 있어서,

상기 반도체 시스템의 동작 주파수가 임계 주파수보다 큰 지 작은지를 판단하는 단계 ;

상기 동작 주파수가 상기 임계 주파수보다 높으면 상기 반도체 시스템이 제 1 동작 모드로 동작되도록 어드레스 신호에 응답하여 상기 캐쉬 메모리에 접근하는 단계 ; 및

상기 동작 주파수가 상기 임계 주파수보다 낮거나 같으면 상기 반도체 시스템이 제 2 동작 모드로 동작되도록 상기 어드레스 신호에 응답하여 상기 라인 버퍼와 상기 캐쉬 메모리를 순차적으로 접근하는 단계를 구비하는 것을 특징으로 하는 반도체 시스템의 동작 모드 제어 방법.

【청구항 41】

제 40항에 있어서,

상기 제 1 동작 모드의 동작과 상기 제 2 동작 모드의 동작이 수행되는데 소비되는 사이클 수가 동일한 것을 특징으로 하는 반도체 시스템의 동작 모드 제어 방법.

【청구항 42】

데이터를 저장하는 캐쉬 메모리 및 상기 캐쉬 메모리에 저장된 데이터 중 일부 데이터를 저장하는 필터 캐쉬 메모리를 구비하는 반도체 시스템의 동작 모드 제어 방법에 있어서,

상기 반도체 시스템의 동작 주파수가 임계 주파수보다 큰 지 작은지를 판단하는 단계 ;

상기 동작 주파수가 상기 임계 주파수보다 높으면 상기 반도체 시스템이 제 1 동작 모드로 동작되도록 어드레스 신호에 응답하여 상기 필터 캐쉬 메모리와 상기 캐쉬 메모리에 순차적으로 접근하는 단계 ; 및

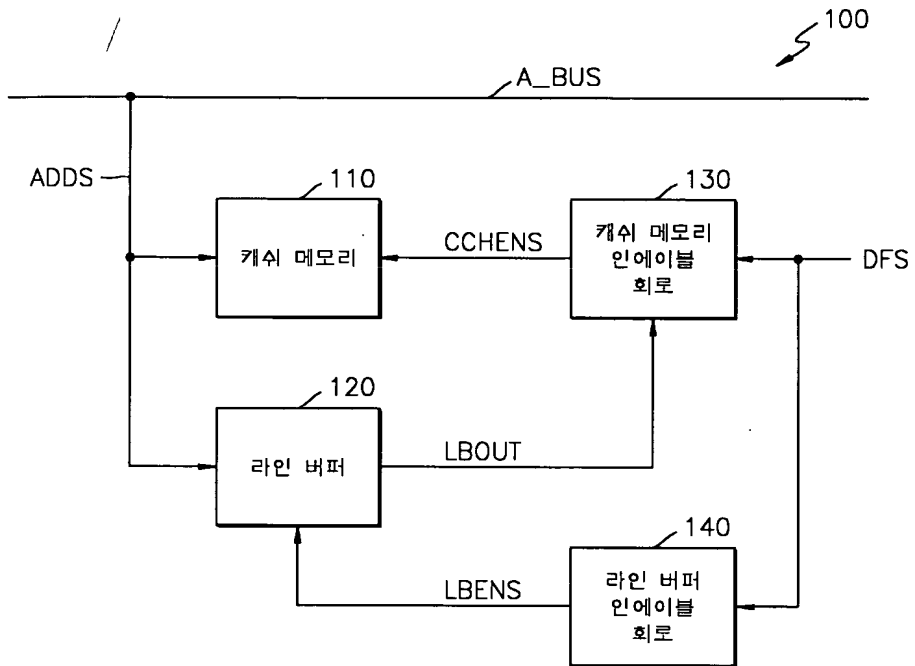
상기 동작 주파수가 상기 임계 주파수보다 낮거나 같으면 상기 반도체 시스템이 제 2 동작 모드로 동작되도록 상기 어드레스 신호에 응답하여 상기 필터 캐쉬 메모리와 상기 캐쉬 메모리에 순차적으로 접근하는 단계를 구비하고,

상기 제 2 동작 모드에서의 상기 반도체 시스템의 동작 주파수가 상기 제 1 동작 모드에서의 상기 반도체 시스템의 동작 주파수의 $1/n$ 이라면,

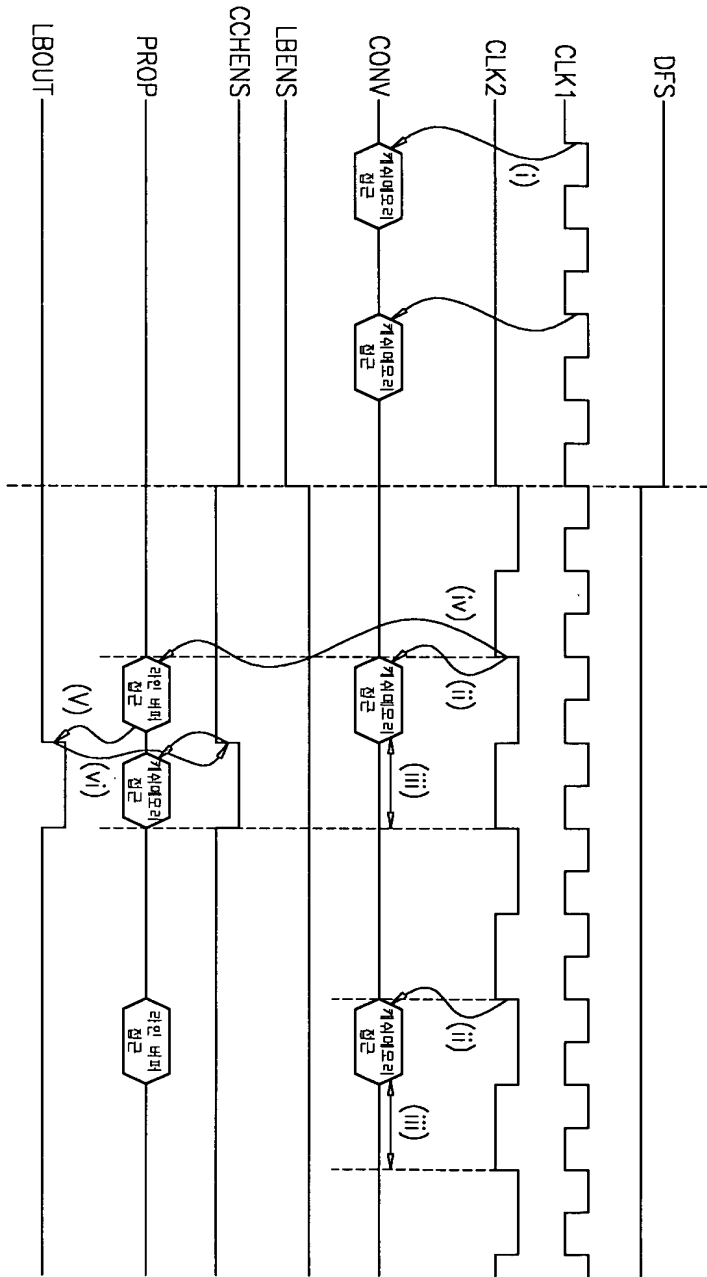
상기 제 2 동작 모드의 동작이 수행되는데 소비되는 사이클 수는 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수보다 작고 상기 제 1 동작 모드에서 상기 특정한 동작과 동일한 동작이 수행되는 데 소비되는 사이클 수의 $1/n$ 배보다 큰 것을 특징으로 하는 반도체 시스템의 동작 모드 제어 방법.

【도면】

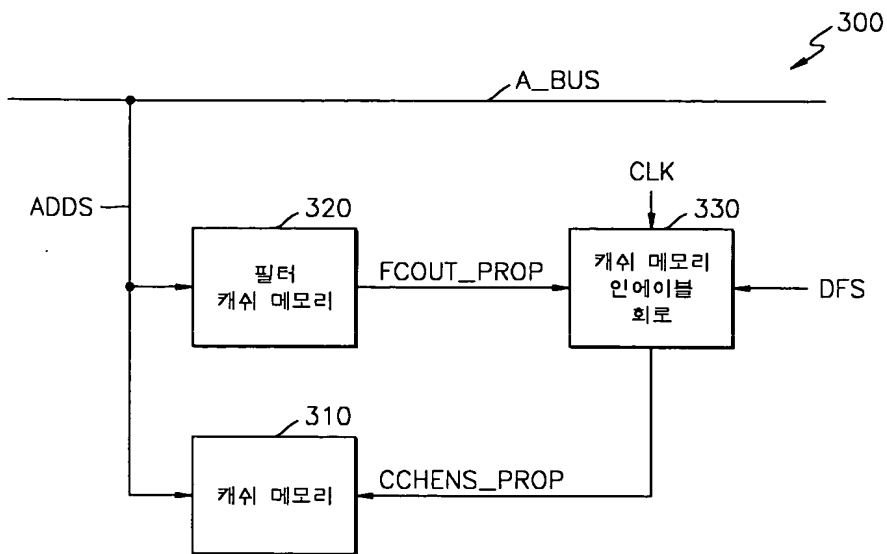
【도 1】



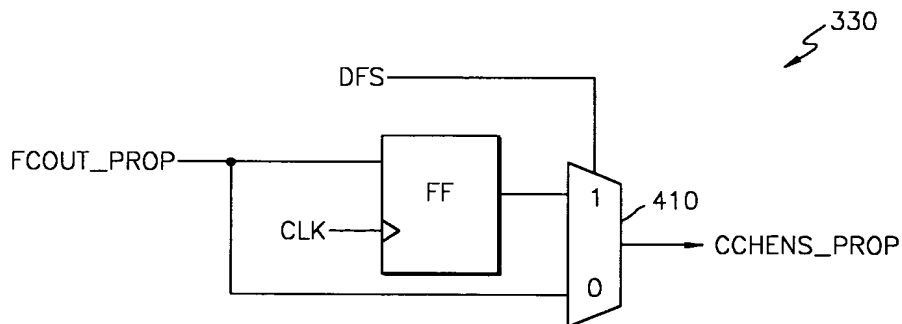
【도 2】



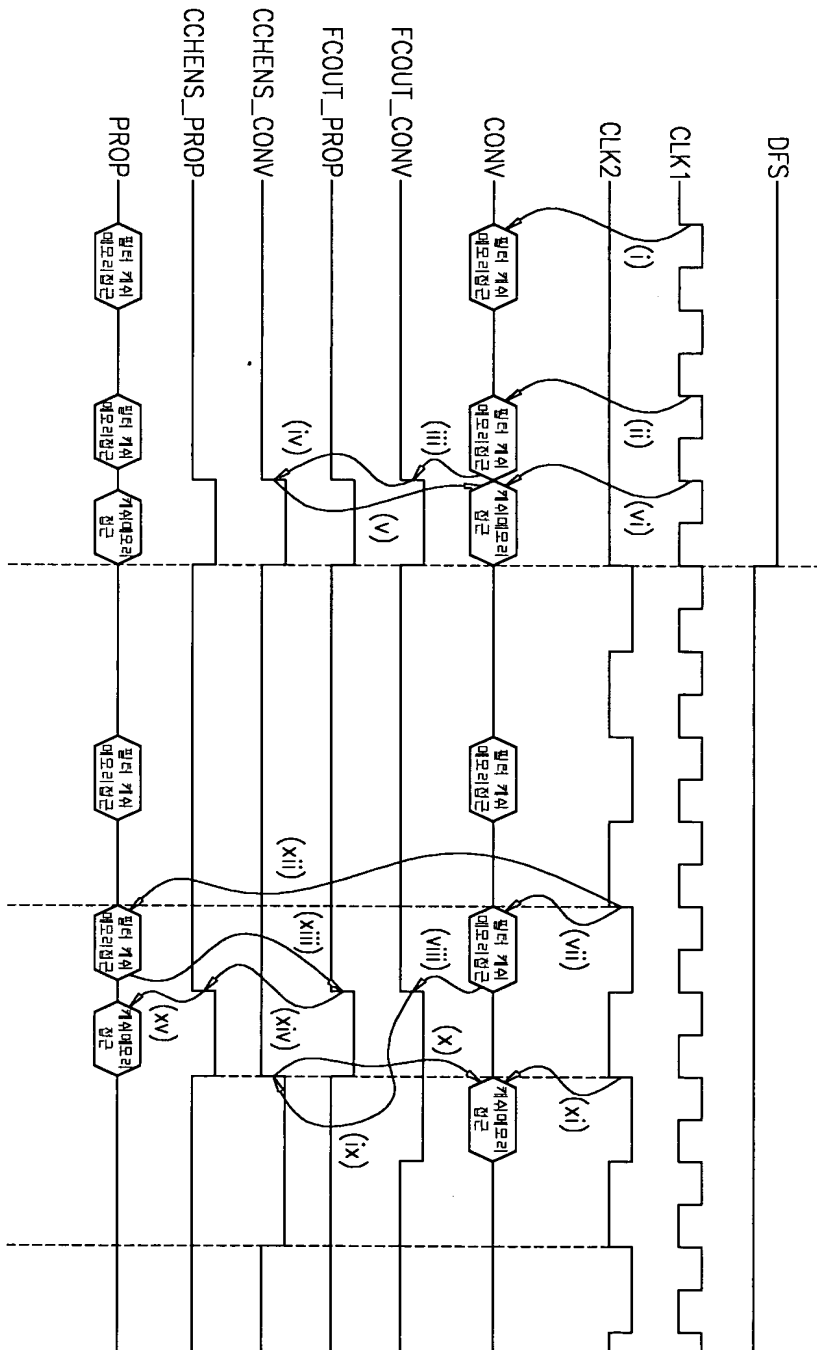
【도 3】



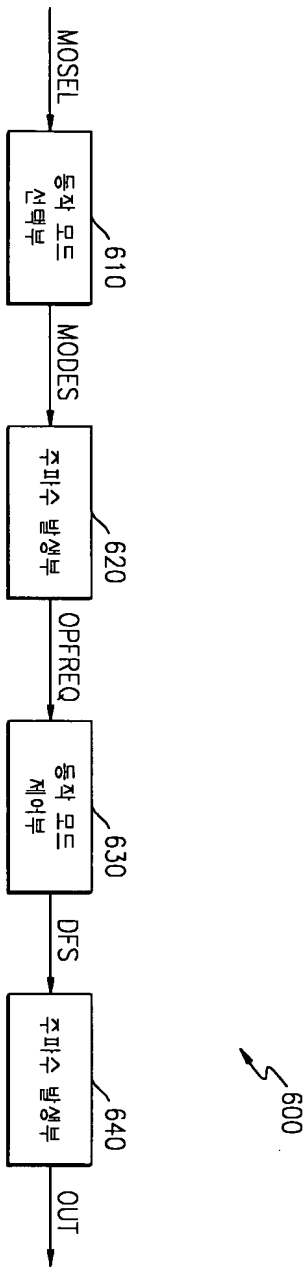
【도 4】



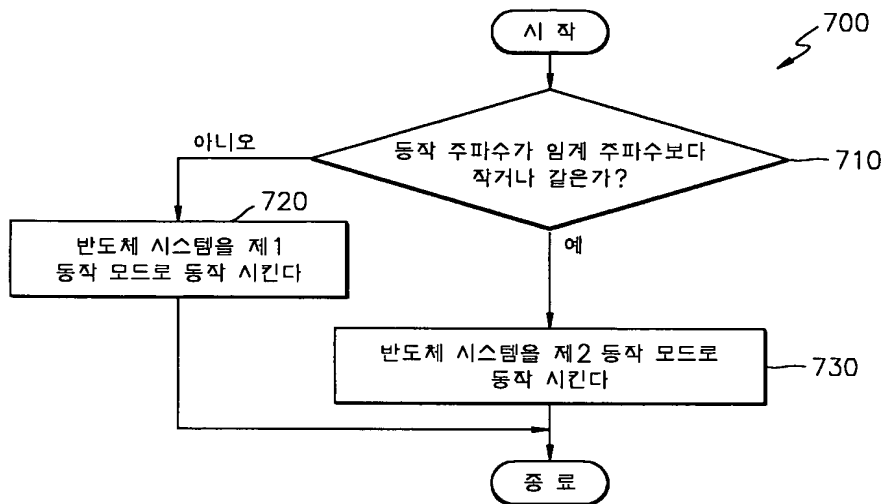
【도 5】



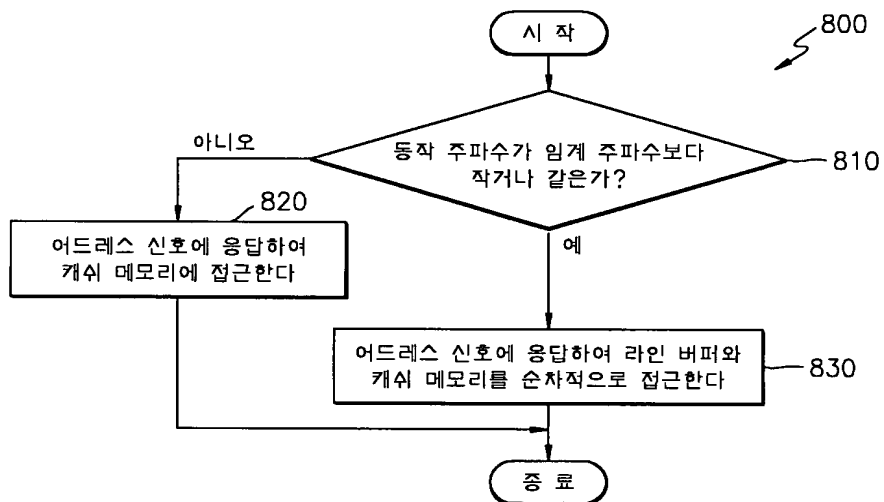
【도 6】



【도 7】



【도 8】



【도 9】

